UMONS

Sujets de Recherche disponibles à l'UMONS

Titre (Français)	Synthèse et Vérification de logiques temps-réel
Title (English)	Compositional Model Checking of Stochastic Timed Automata

Informations administratives

Personne proposant le sujet /email	Thomas Brihaye (thomas.brihaye@umons.ac.be)
Service	Mathématiques effectives
Faculté	Sciences
Institut	Complexys

Informations relatives au sujet proposé

Niveau de recherche	X Doctorat X Post-Doc
5 mots-clés (français)	Vérification, Synthèse, Automate temporisé, logique temporel en temps réel
5 keywords (English)	Model Checking, Synthesis, Timed Automata, real time temporal logic

Bref descriptif (10-15 lignes) (français)

Synthèse et Vérification de logiques temps-réel

Les systèmes informatiques complexes sont désormais omniprésents dans notre quotidien. Il est donc primordial que les logiciels qui régissent ces systèmes informatiques soient corrects. De nos jours, les méthodes formelles forment une classe de techniques dont l'efficacité est largement reconnue. Ces méthodes peuvent être divisées en deux catégories : les méthodes de vérification et de synthèse. Les techniques de vérification peuvent être vues comme des méthodes a posteriori, qui permettent de détecter d'éventuelles erreurs dans un modèle de contrôleur déjà existant; les techniques de synthèse, quant à elles peuvent être vues comme des méthodes a priori, qui permettent de fournir automatiquement un modèle du contrôleur, qui sera correct par construction. Ces deux familles de techniques ont déjà fait leurs preuves dans un cadre où les modèles et les propriétés sont purement qualitatifs. Cependant, dans le but de modéliser au mieux les informatiques complexes et leurs spécifications, il est fondamental de tenir compte d'aspects temps-réel. Malheureusement, dès les aspects temps réel du système doivent être pris en compte, les résultats actuels ne sont encore que partiels. Dans le cadre qualitatif, le lien étroit qui relie les méthodes de vérification et de synthèse à l'élégante et puissante théorie des automates sur mots infinis explique très probablement le succès de ces méthodes. Dans le cas temporisé, bien que les automates temporisés soient

UMONS

désormais un modèle bien établi et bien étudié, les méthodes de vérification et de synthèse temps-réel ne sont encore que partiellement comprises et appliquées. Les extensions temps réel de la logique LTL sont soit indécidable (MTL), ou ne sont étudiées que d'un point de vue théorique (ECL, MITL). Le but de ce projet de recherche est de définir des techniques algorithmiques efficaces pour résoudre les problèmes de vérification et de synthèse quand les langages de spécification sont des logiques linéaires en temps réel.

Summary (10-15 lines) (English)

Synthesis and Verification of Real-time Logic

Ensuring the correctness of critical computer systems is imperative. Today, the use of formal methods is widely advocated as adequate methodologies to obtain the strong guarantees that are requested by critical applications. In the current state of the art, those methods can be split in two categories: verification and synthesis methods. Roughly speaking, verification techniques are a posteriori methods, which allow to detect bugs in already existing models of a controller; and synthesis techniques are a priori methods which outputs a model of the controller that is guaranteed to be correct by construction. The development of those two families of techniques is nowadays quite advanced when the models and properties are purely qualitative. Nevertheless in order to faithfully model computer systems and their specifications, real-time aspects are of capital importance. Unfortunately, the theoretical and practical results are still partial when real-time aspects of the system must be taken into account. In the untimed case, the success of verification and synthesis methods can arguably be attributed to the fact that they rely on (Buchi) automata as an adequate model to express the system's behaviours, and on powerful yet natural languages to specify the properties (e.g. LTL). In the timed case, and while timed automata are a well-established and well-studied automaton model, the picture is not so clear. Real-time extensions of LTL are either highly undecidable (MTL), or studied mainly from a theoretical point of view (ECL,MITL), and the algorithms to perform verification with those logics are not easily amenable to implementation. Thus, the research project aims at defining efficient algorithmic techniques to solve verification and synthesis problems when the specification languages are real-time temporal logics.

These research could be co-advised by Gilles Geeraerts (Université Libre de Bruxelles).