

Sujets de Recherche disponibles à l'UMONS

Titre du sujet 6 : Déploiement rapide de circuits configurables: environnement de programmation et de développement des accélérateurs matériels de faible latence et consommation pour le déploiement rapide des algorithmes de traitement de faible vidéo basée sur FPGAs / Rapid deployment of configurable hardware: programming framework and accelerators for fast deployment of low latency low-power FPGA-based video processing algorithms

Informations administratives

Personne proposant le sujet ¹ /email	Carlos Valderrama Carlos.valderrama@umons.ac.be
Service	Electronique et Microelectronique
Faculté	Polytechnique
Institut	

Informations relatives au sujet proposé

Niveau de recherche	☒ Doctorat ☐ Post-Doc
5 mots-clés (français)	
5 keywords (English)	Endoscopy, ASIC, hardware accelerator, reconfigurable architecture, real-time processing
Bref descriptif (10-15 lignes) (français)	
Déploiement rapide de circuits configurables: environnement de programmation et de développement des accélérateurs matériels de faible latence et consommation pour le déploiement rapide des algorithmes de traitement de faible vidéo basée sur FPGAs Des périphériques tels que le capteur d'endoscopie sans fil sont des dispositifs à faible puissance et à faible latence avec un petit facteur de forme, la plupart du temps sous la forme d'ASICs dédiés. Une flexibilité limitée est fournie étant donné que les caractéristiques nécessaires des composants sont imposées par le capteur d'image. Cependant, des nouvelles fonctionnalités peuvent être prises en charge par le périphérique. Des extensions, telles que la détection de caractéristiques suspectes ou des caractéristiques d'image améliorées, peuvent être envisagées. Des architectures de traitement vidéo sont toujours d'une grande préoccupation étant donné que la puissance de traitement et la consommation d'énergie sont des objectifs qui ne peuvent être atteints qu'en utilisant des accélérateurs matériels dédiés, fournis par les concepteurs de puces au prix d'une flexibilité réduite. Comme les produits évoluent en permanence, il est important de fournir un degré de liberté, nécessaire pour les développements futur en ce compris la partie matérielle. Avant de recourir à la reconfiguration fine, car cela implique l'utilisation de puces FPGA coûteuses et à de temps de développement longs, nous proposons une plate-forme configurable par logiciel soutenue par des accélérateurs matériels considérés comme des composants de bibliothèque. Une version préliminaire réussie de cette architecture supporte déjà un ensemble de base d'opérateurs d'image.	

¹ Membre permanent de l'UMONS (Futur promoteur de la thèse ou futur encadrant du post-doc)

Nous allons étendre les capacités de cette architecture vers plusieurs directions. Tout d'abord, faciliter son adoption par les développeurs de logiciels; en plus de la création d'un super-ensemble des opérateurs, nous allons consolider la capacité de développer, de manière transparente, des applications basées sur des accélérateurs matériels. Juste en supportant l'architecture standard, un nouveau cœur IP pourrait être produit pour soutenir des caractéristiques du capteur d'images et de compression de toute nature. La flexibilité peut être étendue en soutenant les capacités de traitement vidéo configurables. Ainsi, deux variantes peuvent être envisagées: une architecture générique accordable automatiquement en fonction des exigences de l'utilisateur, et du produit final, et un autre configurable. La première solution présente l'avantage de produire comme résultat un noyau IP personnalisé. En réglant les paramètres de mise en œuvre avant la synthèse, des exigences telles que la taille et la consommation d'énergie seront pleinement satisfaites. La deuxième offre l'avantage d'une fonctionnalité évolutive, configurable après la synthèse. Certes, cette option doit encore être compétitive, par rapport à la précédente, en termes de taille et de consommation. Etendre l'architecture existante supportant les opérateurs de traitement inter-frame; des algorithmes plus attrayants peuvent tirer profit de cette extension, permettant non seulement de transformer mais aussi extraire des informations à partir du flux vidéo.

Summary (10-15 lines) (English)

Rapid deployment of configurable hardware: programming framework and accelerators for fast deployment of low latency low-power FPGA-based video processing algorithms

Peripherals such as the wireless endoscopy sensor are low-power and low-latency devices with a small form factor, mostly in the form of dedicated ASICs. A limited flexibility is provided as the required components' characteristics are driven by the image sensor. New functionality can already be supported by the peripheral. Extensions, such as detection of suspicious features or enhanced image characteristics, can be considered. Video processing architectures are still of great concern as processing power and power consumption are conflicting goals that can only be attained by using dedicated hardware accelerators supplied by chips designers at the cost of loose of flexibility. As products continuously evolve, it is important to provide a degree of freedom for future development and that includes the hardware part. Before recurring to fine grain reconfigurable, as this implies the use of expensive FPGA chips and long development times, we propose a software configurable platform supported by coarse grain hardware accelerators seen as library components. A successful preliminary version of this architecture supported a basic set of image processing.

We will extend the capabilities of that architecture towards several directions. First, to facilitate its adoption by software developers, in addition to the creation of a super-set of operators, we are going to consolidate the capability to develop, in a transparent manner, applications based on hardware accelerators. By just supporting the standard architecture, a novel IP core could be produced to support image sensor and compression characteristics of any kind. The flexibility can be extended by supporting configurable video processing capabilities such as inter-frame processing operators; more attractive algorithms can profit from that extension, which includes not just transform but also to extract information from the video stream. Two flavours can be considered: a generic architecture automatically tunable according to user and end-product requirements and a configurable one. The first alternative has the advantage of producing as result a customized IP core. By setting implementation parameters prior synthesis, requirements such as size and power consumption will be fully satisfied. The second one offers the advantage to support evolvable functionality configured after synthesis. Certainly, this option must still be competitive in term of size and consumption, compared to the previous one. Finally, the configuration process sometimes

UMONS

requires fixing application dependent parameters, such as latencies incurred by the operators; as this is hardware dependent information, a pure software annotated version would compute those parameters' values needed for the hardware configuration.